

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124801

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H03L 7/10

H03L 7/087

(21)Application number : 10-291244

(71)Applicant : NEC CORP

(22)Date of filing : 14.10.1998

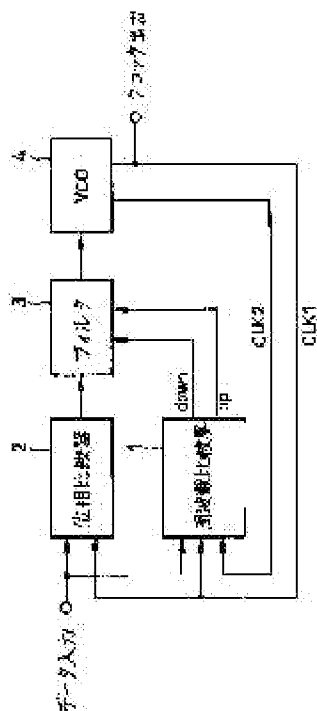
(72)Inventor : HAYATA MASAOKI

## (54) PLL CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a PLL circuit which has a wide pull-in range and is suitable for high-speed operation.

**SOLUTION:** Clock signals CLK1 and CLK2 of mutually different phases are generated by a VCO 4. Both the signals CLK1 and CLK2 are inputted to a frequency comparator 1, and only the signal CLK1 of a delayed phase is inputted to a phase comparator 2. The phase comparator 2 outputs a voltage signal corresponding to the phase difference of an input data signal and the clock signal CLK1. The frequency comparator 1 mutually compares the repeated frequencies of the input data and clock signals and, when the frequency of clock signal is higher than the bit rate of the input data signal, a down signal is outputted but when the frequency is lower, an up signal is outputted. A filter 3 outputs a control signal corresponding to the output signals of frequency comparator 1 and phase comparator 2, the VCO 4 changes an oscillation frequency corresponding to this output signal, and the clock signals CLK1 and CLK2 are outputted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-124801  
(P2000-124801A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 3 L	7/10	H 0 3 L	Z 5 J 1 0 6
	7/087		P

審査請求 有 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平10-291244

(22) 出願日 平成10年10月14日 (1998. 10. 14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 早田 征明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

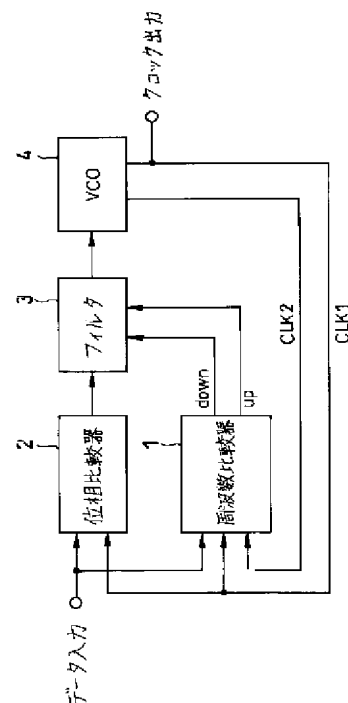
Fターム(参考) 5J106 AA04 BB02 CC01 CC21 CC34  
CC38 CC41 DD09 DD13 DD42  
DD43 DD46 DD48 EE01 EE15  
JJ03 KK03 KK08 LL01

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 広いプルインレンジを持ちかつ高速動作に適したPLL回路を実現する。

【解決手段】 互いに位相の異なるクロック信号CLK 1及びCLK 2をVCO 4で生成する。周波数比較器1には両信号CLK 1及びCLK 2を入力し、位相比較器2には位相が遅れている方の信号CLK 1のみを入力する。位相比較器2は入力データ信号とクロック信号CLK 1との位相差に応じた電圧信号を出力する。周波数比較器1は入力データとクロック信号との繰返し周波数同士を比較し、クロック信号の周波数が入力データ信号のビットレートより高い場合はdown信号を、低い場合はup信号を出力する。フィルタ3は周波数比較器1及び位相比較器2の出力信号に応じて制御信号を出力し、この出力信号に応じてVCO 4は発振周波数を変化させ、クロック信号CLK 1、CLK 2を出力する。



# 【特許請求の範囲】

【請求項1】 第1のクロック信号及び該信号より位相の進んでいる第2のクロック信号を出力する電圧制御発振器に発振周波数を制御する制御信号を与えるフィードバックループを有するPLL回路であって、前記フィードバックループは、入力データ信号と前記第1のクロック信号との位相比較結果及び該入力データ信号と前記第1及び第2のクロック信号との周波数比較結果に応じて前記制御信号を変化制御する制御回路を含むことを特徴とするPLL回路。

【請求項2】 前記制御回路は、前記入力データ信号と前記第1のクロック信号との位相差を電圧に変換して出力する位相比較器と、前記入力データ信号の繰返し周波数と前記第1及び第2のクロック信号の繰返し周波数との差の高低の状態を出力する周波数比較器と、前記位相比較器の出力信号及び前記周波数比較器の出力信号の高周波成分を夫々除去して加算するフィルタとを含み、前記フィルタの出力信号を前記制御信号として前記電圧制御発振器に与えるようにしたことを特徴とする請求項1記載のPLL回路。

【請求項3】 前記周波数比較器は、前記入力データ信号の変化点でサンプルされた前記第1のクロック信号のレベル遷移点を検出して信号を発生するサイクルスリップ検出回路と、前記サイクルスリップ検出回路の出力信号に応じて前記入力データ信号と前記クロック信号との繰返し周波数差の高低を判断し、前記入力データ信号よりも前記クロック信号の繰返し周波数が高いときにはダウン信号を出力し、周波数が低いときにはアップ信号を出力するアップダウン信号発生回路とを含み、前記フィルタにおいて前記ダウン信号及び前記アップ信号の高周波成分を夫々除去して加算するようにしたことを特徴とする請求項2記載のPLL回路。

【請求項4】 前記サイクルスリップ検出回路は、第1及び第2のサンプルホールド回路と、第1の排他的論理和回路とを含み、前記第1及び第2のサンプルホールド回路のクロック入力端子には前記入力データ信号が入力され前記第1のサンプルホールド回路のデータ入力端子には前記第1のクロック信号が入力され、前記第2のサンプルホールド回路のデータ入力端子には前記第1のサンプルホールド回路の出力が入力され、前記第1及び第2のサンプルホールド回路の両出力が夫々前記第1の排他的論理和回路の入力端子に入力されたことを特徴とする請求項3記載のPLL回路。

【請求項5】 前記アップダウン信号発生回路は、第3のサンプルホールド回路と、第1及び第2の論理積回路と、第1及び第2のD型フリップフロップとを含み、前記第3のサンプルホールド回路のデータ入力端子には前記第2のクロック信号が入力されそのクロック入力端子には前記入力データが入力され、前記第1の論理積回路の入力端子には前記第1のサンプルホールド回路の出力

及び前記第3のサンプルホールド回路の出力が入力され、前記第2の論理積回路の入力端子には前記第2のサンプルホールド回路の出力と前記第3のサンプルホールド回路の出力が入力され、前記第1のD型フリップフロップのデータ入力端子には前記第1の論理積回路の出力が入力され、前記第2のD型フリップフロップのデータ入力端子には前記第2の論理積回路の出力が入力され、前記第1及び前記第2のD型フリップフロップのクロック入力端子には前記第1の排他的論理和回路の出力が入力され、前記第1のD型フリップフロップから前記ダウン信号が出力され、前記第2のD型フリップフロップから前記アップ信号が出力されることを特徴とする請求項4記載のPLL回路。

【請求項6】 前記アップダウン信号発生回路は、第3のサンプルホールド回路と、第3、第4及び第5の論理積回路と、第3及び第4のD型フリップフロップとを含み、前記第3のサンプルホールド回路のデータ入力端子には前記第2のクロック信号が入力されそのクロック入力端子には前記入力データが入力され、前記第3の論理積回路の入力端子には前記第1のサンプルホールド回路の出力と前記第4のD型フリップフロップの出力とが入力され、前記第4の論理積回路の入力端子には前記第2のサンプルホールド回路の出力と前記第3のD型フリップフロップの出力とが入力され、前記第5の論理積回路の入力端子には前記第1の排他的論理和回路の出力と前記第3のサンプルホールド回路の出力とが入力され、前記第3の論理積回路の出力は前記第3のD型フリップフロップのデータ入力端子に入力され、前記第4の論理積回路の出力は前記第4のD型フリップフロップのデータ入力端子に入力され、前記第5の論理積回路の出力は前記第3及び前記第4のD型フリップフロップのクロック入力端子に入力され、前記第3のD型フリップフロップから前記ダウン信号が出力され、前記第4のD型フリップフロップから前記アップ信号が出力されることを特徴とする請求項4記載のPLL回路。

【請求項7】 前記第1及び第2のサンプルホールド回路は第1及び第2のラッチ回路と、第1のセレクト回路とを夫々含み、前記第1のラッチ回路及び前記第2のラッチ回路のデータ入力端子には自サンプルホールド回路への入力データが入力されそのクロック入力端子には自サンプルホールド回路への入力クロックが入力され、前記第1のラッチ回路は入力クロックの立上りから立下りまで入力データを保持し、前記第2のラッチ回路は入力クロックの立下りから立上りまで入力データを保持し、前記第1及び前記第2のラッチ回路の両出力は前記第1のセレクト回路に入力され該セレクト回路の選択制御端子には自サンプルホールド回路への入力クロックが入力されこの入力クロックの論理レベルに応じて前記第1及び第2のラッチ回路の出力が択一的に送出されることを特徴とする請求項4記載のサンプルホールド回路。

【請求項8】 前記第1のセレクト回路は前記選択制御端子の論理が“1”の場合には前記第1のラッチ回路の出力を選択し、該選択制御端子の論理が“0”の場合には前記第2のラッチ回路の出力を選択することを特徴とする請求項7記載のサンプルホールド回路。

【請求項9】 前記第1及び第2のサンプルホールド回路は第5のD型フリップフロップを含み、そのデータ入力端子には自サンプルホールド回路への入力データが入力されそのクロック入力端子には自サンプルホールド回路への入力クロックが入力されることを特徴とする請求項4記載のPLL回路。

【請求項10】 前記フィルタは、前記位相比較器に対応して設けられその出力信号の高周波成分を除去する第1のフィルタと、前記周波数比較器に対応して設けられその出力信号の高周波成分を除去する第2のフィルタと、これら第1及び第2のフィルタの出力を加算する加算回路を含み、前記第2のフィルタは前記周波数比較器のアップ信号出力に対して前記電圧制御発振器の発振周波数を高くするための電圧を発生させ、前記周波数比較器のダウン信号に対して前記電圧制御発振器の発振周波数を低くするための電圧を発生させ、前記加算回路は前記第1のフィルタの出力と前記第2のフィルタの出力とを加算して前記制御電圧とするようにしたことを特徴とする請求項2～9記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はPLL回路に関し、特に周波數位相比較器を用いて、広いプルインレンジ（引込み周波数レンジ）を持ち、かつ、高速動作に適したPLL（Phase Locked Loop）回路に関する。

【0002】

【従来の技術】PLLを用いたクロックリカバリ回路はデータ通信のなかにおいて装置の小型化に結びつく重要な技術であり、さまざまな種類のPLLに関して報告がある。そのなかで、プルインレンジを拡大する方法として周波数比較器を備えたPLLがある。このような回路の一例が論文“A PLL-Based 2.5-Gb/s GaAs Clock and Data Regenerator IC” IEEE Journal of Solid-State Circuit, VOL. 26, No. 10, pp. 1345-1353, Oct. 1991. に記載されている。

$$dWB2/2 * (1 + \cos(2 * (dWt + d\theta))) \dots (4)$$

式(4)は、周波数差に比例した直流成分と、周波数差の2倍の周期を持った交流成分に分けられる。そのため、ローパスフィルタ67を通して、交流成分を除去することで周波数差に応じたVCOの制御電圧を得ることができる。このように、周波数差を検出することができるために、フィルタの帯域によらず、プルインレンジを

【0003】図10は同文献に記載されている従来のPLLを示す図である。本従来例はDFF60、データの半周期の遅延時間を持った遅延回路61、排他的論理回路（以下、EXOR回路）62、第1の位相比較器63、第2の位相比較器64、電圧制御発振器（以下、VCO）65、微分回路66、ローパスフィルタ67、ミキサ68から構成される。入力信号は遅延回路61により半周期だけ遅延される。

【0004】次に、遅延された信号と遅延されなかった信号とをEXOR62に入力することによりデータの変化点に応じてパルス信号が生じる。そのパルス信号は第1の位相比較器63と第2の位相比較器64に入力されVCO65から発生されたクロック信号との位相比較が行われる。その際、第1の位相比較器63には0度の位相を持ったクロック信号が入力され、第2の位相比較器64には90度の位相を持ったクロックが夫々入力される。次に第1の位相比較器63の出力は微分回路66に入力され、微分信号が出力される。次に微分回路66の信号と第2の位相比較器64の出力はミキサ68により掛け算され、その出力信号はローパスフィルタ67を通りVCO65に帰還される。

【0005】この時、ローパスフィルタ67の出力信号には入力信号とクロック信号との周波数差に応じた直流電圧が出力されるために、本従来例は周波數位相比較器構成をとることになり、幅広いプルインレンジを持ったPLLが構成できる。

【0006】ここで、0度の位相を持ったクロック信号を $A \sin(w_n t)$ 、90度の位相を持ったクロック信号を $A \cos(w_n t)$ とすると、第1の位相比較器63の出力は、

$$B \sin(dWt + d\theta) \dots (1)$$

となる。また、第2の位相比較器64の出力は、

$$B \cos(dWt + d\theta) \dots (2)$$

となる。ここで、 $dW$ は入力信号とクロック信号の周波数差、 $d\theta$ は入力信号とクロック信号の位相差を表わす。次に第1の位相比較器63の出力は微分回路66に入力されるので、微分回路66の出力は式(1)を微分した、

$$dWB \cos(dWt + d\theta) \dots (3)$$

となる。式(2)と式(3)とで表わされた信号はミキサ68で掛け算されるので、ミキサの出力は次の式で表わされる。

【0007】

ロックレンジまで拡大でき安定動作するPLL回路を構成することができる。

【0008】

【発明が解決しようとする課題】上述した従来技術では周波数差をアナログ的に検出するために、各ブロックに対して精密さが要求される。例えば、従来例では微分回

路の精度が落ち入力信号に対して正確に90度の位相変位ができないと仮定する。そうするとミキサの出力にオフセット電圧を生じてしまうため、外部からオフセット補償を行わなければならない。また、このような精度の良い回路は、動作帯域が高周波になるほど作成が難しく、このため高周波における安定動作が難しくなるという欠点がある。

【0009】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は入力信号に対し、広いブルーインレンジを持ち、かつ高速動作に適したPLL回路を提供することである。

【0010】

【課題を解決するための手段】本発明によるPLL回路は、第1のクロック信号及び該信号より位相の進んでいる第2のクロック信号を出力するVCOに発振周波数を制御する制御信号を与えるフィードバックループを有するPLL回路であって、前記フィードバックループは、入力信号と前記第1のクロック信号との位相比較結果及び該入力信号と前記第1及び第2のクロック信号との周波数比較結果に応じて前記制御信号を変化制御する制御回路を含むことを特徴とする。

【0011】前記制御回路は、前記入力信号と前記第1のクロック信号との位相差を電圧に変換して出力する位相比較器と、前記入力信号の繰返し周波数と前記第1及び第2のクロック信号の繰返し周波数との差の高低の状態を出力する周波数比較器と、前記位相比較器の出力信号及び前記周波数比較器の出力信号の高周波成分を夫々除去して加算するフィルタとを含み、前記フィルタの出力信号を前記制御信号として前記電圧制御発振器に与えるようにしたことを特徴とする。

【0012】前記周波数比較器は、前記入力信号の変化点でサンプルされた前記第1のクロック信号のレベル遷移点を検出して信号を発生するサイクルスリップ検出回路と、前記サイクルスリップ検出回路の出力信号に応じて前記入力信号と前記クロック信号との繰返し周波数差の高低を判断し、前記入力信号よりも前記クロック信号の繰返し周波数が高いときにはダウン信号を出力し、周波数が低いときにはアップ信号を出力するアップダウン信号発生回路とを含み、前記フィルタにおいて前記ダウン信号及び前記アップ信号の高周波成分を夫々除去して加算するようにしたことを特徴とする。

【0013】前記サイクルスリップ検出回路は、第1及び第2のサンプルホールド回路と、第1の排他的論理和回路とを含み、前記第1及び第2のサンプルホールド回路のクロック入力端子には前記入力信号が入力され前記第1のサンプルホールド回路のデータ入力端子には前記第1のクロック信号が入力され、前記第2のサンプルホールド回路のデータ入力端子には前記第1のサンプルホールド回路の出力が入力され、前記第1及び第2のサンプルホールド回路の両出力が夫々前記第1の排他的論理

和回路の入力端子に入力されたことを特徴とする。前記アップダウン信号発生回路は、第3のサンプルホールド回路と、第1及び第2の論理積回路と、第1及び第2のD型フリップフロップとを含み、前記第3のサンプルホールド回路のデータ入力端子には前記第2のクロック信号が入力されそのクロック入力端子には前記入力データが入力され、前記第1の論理積回路の入力端子には前記第1のサンプルホールド回路の出力及び前記第3のサンプルホールド回路の出力が入力され、前記第2の論理積回路の入力端子には前記第2のサンプルホールド回路の出力と前記第3のサンプルホールド回路の出力が入力され、前記第1のD型フリップフロップのデータ入力端子には前記第1の論理積回路の出力が入力され、前記第2のD型フリップフロップのデータ入力端子には前記第2の論理積回路の出力が入力され、前記第1及び前記第2のD型フリップフロップのクロック入力端子には前記第1の排他的論理和回路の出力が入力され、前記第1のD型フリップフロップから前記ダウン信号が出力され、前記第2のD型フリップフロップから前記アップ信号が出力されることを特徴とする。

【0014】前記アップダウン信号発生回路は、第3のサンプルホールド回路と、第3、第4及び第5の論理積回路と、第3及び第4のD型フリップフロップとを含み、前記第3のサンプルホールド回路のデータ入力端子には前記第2のクロック信号が入力されそのクロック入力端子には前記入力データが入力され、前記第3の論理積回路の入力端子には前記第1のサンプルホールド回路の出力と前記第4のD型フリップフロップの出力とが入力され、前記第4の論理積回路の入力端子には前記第2のサンプルホールド回路の出力と前記第3のD型フリップフロップの出力とが入力され、前記第5の論理積回路の入力端子には前記第1の排他的論理和回路の出力と前記第3のサンプルホールド回路の出力とが入力され、前記第3の論理積回路の出力は前記第3のD型フリップフロップのデータ入力端子に入力され、前記第4の論理積回路の出力は前記第4のD型フリップフロップのデータ入力端子に入力され、前記第5の論理積回路の出力は前記第3及び前記第4のD型フリップフロップのクロック入力端子に入力され、前記第3のD型フリップフロップから前記ダウン信号が出力され、前記第4のD型フリップフロップから前記アップ信号が出力されることを特徴とする。

【0015】要するに本PLL回路では、入力データのビットレートに対するクロックの周波数の高低を、入力データと互いに位相が異なる2つのクロック信号（CLK1、CLK2）とを用いて判断する。2つのクロック信号は、夫々データの変化点でサンプリングされる。データの変化点は常にデータの1タイムスロットの境界を示しているため、データの変化点でクロックをサンプリングすることにより、クロックとデータとの位相差が分

かる。

【0016】本PLL回路では互いに位相の異なるクロック信号の一方（例えばクロックCLK1）の極性が変化する時点及びその時のもう一方のクロック（例えばクロックCLK2）の極性に注目して周波数差の高低の判断を行う。クロックCLK1のサンプリングデータは入力データとクロックの位相差が変化するにつれて、ある時極性が変化する。この状態はクロックCLK1のサンプリングデータが“0”から“1”に変化する場合と、逆に“1”から“0”に変化する場合の2通りがある。さらに、クロックCLK2のサンプリングデータを加えると上記クロックCLK1の2つの変化の夫々に対して、クロックCLK2のサンプリングデータが“1”の状態と“0”の状態にある場合の計4通りの状態がある。

【0017】ここで、上記の4通りの状態に関して次のように番号を付ける。すなわち、状態1は、クロックCLK2のサンプリングデータが“0”の場合で、クロックCLK1のサンプリングデータが“0”から“1”に変化した状態とする。状態2は、クロックCLK2のサンプリングデータが“0”の場合で、クロックCLK1のサンプリングデータが“1”から“0”に変化した状態とする。状態3は、クロックCLK2のサンプリングデータが“1”の場合で、CLK1のサンプリングデータが“0”から“1”に変化した状態とする。状態4はCLK2のサンプリングデータが“1”の場合で、CLK1のサンプリングデータが“1”から“0”に変化した状態とする。入力データとクロックとが同期している場合は、状態1と状態2の場合の付近にあるものとする。

【0018】もし、入力データのビットレートに対して、クロック信号の周波数が高ければ、入力データによるクロック信号のサンプリング点の位相が進んでいく方向、すなわち、状態1か状態2の状態から状態3の方向へ進んでいく。逆に、入力データのビットレートに対して、クロック信号の周波数が低ければ、入力データによるクロック信号のサンプリング点の位相が遅れていく方向、すなわち、状態1か状態2の状態から状態4の方向へ進んでいく。

【0019】本PLL回路では、サンプルホールド回路を用いることで、クロック信号をサンプリングしていき、サンプリングされた一方のクロック信号（CLK1）の極性の変化点及び変化する方向、また、その時のもう一方のクロック信号（CLK2）の極性を検知し、論理回路を用いることで、入力データに対するクロック信号の周波数の高低を出力する。また、本PLL回路では内部は完全なデジタル動作なので、Gb/s（bit/second）クラスの高速回路にも適用しやすい。よって、高速のPLL回路を実現することができる。

## 【0020】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参照する各図においては、他の図と同等部分には同一符号が付されている。

【0021】図1は本発明のPLL回路の第1の実施の形態を示すブロック図である。図1において、本PLL回路は、互いに位相の異なる2つのクロック信号CLK1及びCLK2を生成するVCO4と、入力データ信号とクロック信号CLK1との位相を比較しその位相差に応じたレベルの電圧を出力する位相比較器2と、2つのクロック信号CLK1及びCLK2と入力データ信号との繰返し周波数を比較しその周波数差の大小に応じて繰返し周波数を高くするためのアップ信号及び低くするためのダウン信号を択一的に出力する周波数比較器1と、位相比較器2及び周波数比較器1の出力の高周波成分を除去して加算するローパスフィルタ3とを含んで構成されており、フィルタ3の出力をVCO4の制御信号としている。なお、入力データ信号は、NRZ（No Return to Zero）形式の信号であるものとする。

【0022】かかる構成において、入力データ信号及びVCO4からのクロック信号は周波数比較器1及び位相比較器2に入力される。その際、VCO4で発生される夫々位相の異なる2つのクロックの内、位相が遅れている方のクロック信号CLK1は周波数比較器1及び位相比較器2に入力される。また、位相が進んでいる方のクロック信号CLK2は周波数比較器1に入力される。その際、クロック信号CLK2の位相を $\phi 2$ 、クロック信号CLK1の位相を $\phi 1$ とすると、これら2つの信号の位相差に関して、 $0^\circ < (\phi 2 - \phi 1) < 180^\circ$ の関係がある。

【0023】位相比較器2では、入力データとクロック信号CLK1との位相差を検出し、その位相差に応じた電圧信号を出力する。また、周波数比較器1は入力データとクロック信号との周波数差を検出し、クロック信号の周波数が入力データのビットレートより高い場合はダウン信号downを発生し、逆に低い場合はアップ信号upを発生する。フィルタ3は周波数比較器1及び位相比較器2の信号を加えてVCO4を制御するための信号を発生させる。

【0024】ここで、クロック信号の位相がデータに対して進んでいることを位相比較器2の出力が示しているとき、もしくはダウン信号が発生しているときはVCO4の発振周波数を低くするように信号を発生する。逆に、クロック信号の位相がデータに対して遅れていることを位相比較器2の出力が示しているとき、もしくはアップ信号が発生しているときはVCO4の発振周波数を高くするように信号を発生する。VCO4はフィルタ3

の出力信号に応じて発振周波数を変化させ、夫々位相の違うクロック信号CLK 1、クロック信号CLK 2を出力する。

【0025】次に、周波数比較器1の構成例について詳細に説明する。図2は図1中の周波数比較器1の構成例を示すブロック図である。

【0026】図2において、周波数比較器1は、サイクルスリップ検出回路10と、アップダウン信号出力回路11とから構成されている。

【0027】まず、サイクルスリップ検出回路10は、第1及び第2のサンプルホールド回路12及び13と、排他的論理和回路（以下、EXOR回路）14とから構成されている。NRZ形式の入力信号は第1のサンプルホールド回路12及び第2のサンプルホールド回路13の各クロック入力端子Cに夫々入力される。また、クロック信号CLK 1は第1のサンプルホールド回路12のデータ入力端子Dに入力される。さらに、第1のサンプルホールド回路12の出力端子Qからの出力は第2のサンプルホールド回路13のデータ入力端子Dに入力される。第1のサンプルホールド回路12及び第2のサンプルホールド回路13の夫々の出力端子Qからの出力はEXOR回路14の入力端子に入力される。

【0028】次に、アップダウン信号発生回路11は、第3のサンプルホールド回路15と、の論理積回路（以下、AND回路）16及び17と、第1及び第2のD型フリップフロップ（以下、DFF）18及び19とから構成されている。第3のサンプルホールド回路15のデータ入力端子Dにはクロック信号CLK 2が入力され、クロック入力端子Cには入力データが入力される。

【0029】また、AND回路16の入力端子には第1のサンプルホールド回路12の出力端子Q及び第3のサンプルホールド回路15の出力端子Qからの各出力が入力される。AND回路17の入力端子には第2のサンプルホールド回路13の出力端子Qと第3のサンプルホールド回路15の出力端子Qからの各出力が入力される。DFF 18及びDFF 19のクロック入力端子CにはEXOR回路14の出力が入力され、DFF 18のデータ入力端子DにはAND回路16の出力が入力される。DFF 19のデータ入力端子DにはAND回路17の出力が入力される。DFF 16の出力端子Qからはダウン信号downが出力され、第2のDFF 17の出力端子Qからはアップ信号upが出力される。

【0030】次に、周波数比較器1の動作について図3を用いて説明する。図3は周波数比較器1の各部の動作波形を示すタイミングチャートである。図3（a）には入力データのビットレートに対してVCO 4の発振周波数が高い場合、図3（b）には逆に入力データのビットレートに対してVCO 4の発振周波数が低い場合が、夫々示されている。

【0031】図3において、CLK 1及びCLK 2はV

CO 4から出力された夫々位相がずれたクロック信号を示している。出力aは図2の第1のサンプルホールド回路12の出力信号、出力bは図2の第2のサンプルホールド回路13の出力信号、出力cは図2の第3のサンプルホールド回路15の出力信号、出力dは図2のEXOR回路14の出力信号、出力eは第1のAND回路16の出力信号、出力fは第2のAND回路17の出力信号を夫々示している。

【0032】まず、図3（a）では、サンプリングされたクロック信号CLK 1のサンプリングデータ（出力a）と一つ前のサンプリングデータ（出力b）との極性が不一致になったとき出力dに信号が現れる。図中の出力dの1パルス目においては、CLK 2のサンプリングデータ（出力c）の極性が“1”になっているので、繰返し周波数の高低を感知した状態である。そのとき、出力aが“1”で出力bが“0”なので第1のAND回路16の出力eが“1”で第2のAND回路17の出力fが“0”となる。それらのAND回路16、17の出力が次の第1と第2のDFF 18、19に取込まれ、クロック信号の繰返し周波数が高いことを示しているダウン信号downのみが“1”になる。

【0033】また、図中の出力dの2パルス目においては、出力cの極性が“0”を示している。このために、繰返し周波数の高低の判断とは関係ない点と判断し、DFF 18、19の出力を夫々“0”にセットする。

【0034】一方、入力データに対してクロック信号の繰返し周波数が低い図3（b）では、出力dの極性変化点及びその時のクロック信号CLK 2のサンプリングデータ（出力c）の極性は図3（a）の場合と同じである。しかし、出力aが“0”で出力bが“1”であるために、第1のAND回路16の出力eが“0”で第2のAND回路17の出力fが“1”となる。それらの出力により、クロック信号の繰返し周波数が低いことを示しているアップ信号upのみが“1”になる。

【0035】また、図3（a）の場合と同じように、次のサンプリングデータの極性の変化点では、出力cが“0”を示しているために、DFF 18、19の出力は夫々“0”にセットされる。以上の回路動作により、入力データとクロック信号との周波数差の高低が検出され、フィルタ3を通してVCO 4に帰還される。

【0036】次に、周波数比較器の他の構成例について詳細に説明する。図4は図1中の周波数比較器1の他の構成例を示すブロック図である。

【0037】図4において、サイクルスリップ検出回路10の構成は図2の場合と同じであるが、アップダウン信号発生回路11の構成は図2の場合と異なる。図4中のアップダウン信号発生回路11においては、サンプルホールド回路12の出力とDFF 24の出力とがAND回路20に入力されている。また、サンプルホールド回路13の出力とDFF 23の出力とがAND回路21に

入力されている。AND回路20の出力はDFF23のデータ入力端子に入力され、AND回路21の出力はDFF24のデータ入力端子に入力されている。AND回路22にはEXOR14の出力とサンプルホールド回路15の出力が入力され、AND回路22の出力はDFF23及び24の各クロック入力端子に夫々入力される。DFF23の出力端子からはダウン信号downが、またDFF24の出力端子からはアップ信号upが出力される。

【0038】この図4の構成例においては、繰返し周波数の高低の判断を、AND回路22を用いることにより、クロック信号CLK1のサンプリングデータの極性の変化点でなおかつCLK2のサンプリングデータが“1”の場合にのみ行う。この場合、サンプルホールド回路12の出力が“1”の場合は入力信号のビットレートに対してクロック信号の周波数が高いと判断し、逆にサンプルホールド回路13の出力が“1”の場合はクロック信号の繰返し周波数が低いと判断する。さらに、ダウン信号downを発生させるDFF23の出力をAND回路21に、アップ信号upを発生させるDFF24の出力をAND回路20に、夫々帰還させる。こうすることで、以前の状態との比較を行い、ダウン信号down及びアップ信号upの出力状態を変化させる。

【0039】ダウン信号が“1”の状態すなわちクロック信号の繰返し周波数が高い状態で、次回も繰返し周波数が高いと判断された場合は出力は変化せず、逆に今回は繰返し周波数が低くなっていると判断された場合にはダウン信号の出力は“0”になる。

【0040】アップ信号の場合も同様に、アップ信号が“1”の状態すなわちクロック信号の繰返し周波数が低い状態で、次回も繰返し周波数が低いと判断された場合は出力は変化せず、今回は繰返し周波数が高いと判断された場合はアップ信号が“0”になる。

【0041】上述した図2の周波数比較器を用いた場合はアップ信号及びダウン信号がパルス状に出力されるが、図4の周波数比較器を用いた場合は、周波数の高低差が逆転するまでアップ信号及びダウン信号が出力される。このため、周波数比較器のDCゲイン成分が大きくなり、それだけ同期速度が速くなるのである。

【0042】ここで、図2又は図4中のサンプルホールド回路の内部構成例について図5を用いて詳細に説明する。図5において、サンプルホールド回路12は、ラッチ回路30及び31と、セレクト回路32とを含んで構成されている。そして、サンプルホールド回路12のデータ入力端子はラッチ回路30及びラッチ回路31夫々のデータ入力端子と接続されている。また、サンプルホールド回路12のクロック入力端子はラッチ回路30及びラッチ回路31夫々のクロック入力端子並びにセレクト回路32の選択制御端子と接続されている。なお、サンプルホールド回路12以外のサンプルホールド回路1

3、15も同様の構成であるものとする。

【0043】かかる構成において、ラッチ回路30では、クロック入力端子に入力された信号の立上りから立下りまで入力データを保持する。一方、逆にラッチ回路31では、クロック入力端子に入力された信号の立下りから立上りまで入力データを保持する。

【0044】ラッチ回路30及びラッチ回路31の出力端子は、セクタ32の入力端子に接続されている。そして、セクタ32の制御端子に接続された信号すなわちサンプルホールド回路12のクロック端子の入力信号が“1”の場合にはラッチ回路30の出力が選択され、“0”の場合にはラッチ回路31の出力が選択されるものとする。この構成からなるサンプルホールド回路を用いたPLL回路は、入力NRZデータの立上り時と立下り時の両方で周波数の比較ができるようになる。

【0045】次に、図2又は図4中のサンプルホールド回路の他の内部構成例について図6を用いて詳細に説明する。図6において、サンプルホールド回路12は、単一のDFF40によって構成されている。

【0046】そして、サンプルホールド回路12のデータ入力端子はDFF40のデータ入力端子と接続されている。また、サンプルホールド回路12のクロック入力端子はDFF40のクロック入力端子並びにセレクト回路32の選択制御端子と接続されている。なお、サンプルホールド回路12以外のサンプルホールド回路13、15も同様の構成であるものとする。

【0047】この図6のサンプルホールド回路を用いた場合、入力データ信号の立上り時にのみ周波数比較を行い、立下り時には周波数比較を行わない。したがって、図5のサンプルホールド回路に比べ周波数比較時点の数は半分に減ることになる。しかしながら、その分回路構成が簡単になり、低消費電力化が可能となる。

【0048】次に、図1中のフィルタ3の構成例について図7を用いて詳細に説明する。図7において、位相比較器2に対応して設けられ位相比較器2の出力を入力とするフィルタ50と、周波数比較器1に対応して設けられ周波数比較器1の出力を入力とするフィルタ51と、これらフィルタ50及び51の出力を加算する加算回路52とを含んで構成されている。フィルタ51は、周波数比較器1の出力のうちのアップ信号upに対応して設けられたフィルタ51-1と、ダウン信号downに対応して設けられたフィルタ51-2と、これらフィルタ51-1及び51-2の出力を加算する加算回路51-3とを含んで構成されている。

【0049】かかる構成において、フィルタ51の内部で、フィルタ51-1及び51-2によってアップ信号up及びダウン信号downの高周波成分が除去され、この除去後の信号が加算回路51-3において加算される。また、フィルタ50によって周波数比較器1の出力信号の高周波成分が除去される。この除去後の信号とフ

ィルタ51の出力信号とが加算回路52で加算される。

【0050】このようにフィルタを構成することによって、位相比較ループの時定数と周波数比較ループの時定数とを自由に設定することができる。

【0051】ここで、図1中のVCO4の構成例について図8及び図9を参照して説明する。図8は位相差が90度のクロック信号CLK1及びCLK2を生成する場合におけるVCO4の内部構成例を示すブロック図である。本例のVCOは、偶数個の差動インバータをループ状に接続し、その一端及び中間点に夫々バッファを接続した構成である。すなわち、偶数個の差動インバータ41～44がループ状に接続され、その一端にバッファ45が、中間位置にバッファ46が夫々接続されている。そして、バッファ45からクロック信号CLK1を導出し、バッファ46からクロック信号CLK1よりも90度位相の進んだクロック信号CLK2を導出している。この場合、ループ状に接続された偶数個の差動インバータの一端及び中間位置からクロック信号を夫々導出しているので、位相差が90度のクロック信号CLK1及びCLK2を生成することができるのである。

【0052】ここで、各差動インバータ41～44は、図示せぬ反転入力及び非反転入力に夫々対応して設けられた1対の差動トランジスタと、この差動トランジスタに対してバイアス電流を与える電流源とを含んで構成されているものとする。そして、その電流源によって与えるバイアス電流値を、up信号及びdown信号に応じて制御することによって、VCO4の発振周波数を変化制御するのである。具体的には、バイアス電流値を大きくすれば発振周波数が高くなり、逆にバイアス電流値を小さくすれば発振周波数が低くなる。

【0053】一方、図9は位相差が90度以外のクロック信号CLK1及びCLK2を生成する場合におけるVCO4の内部構成例を示すブロック図である。本例のVCOは、奇数個の差動インバータをループ状に接続した構成である。すなわち、奇数個の差動インバータ41～43がループ状に接続され、その一端にバッファ45が、任意の位置にバッファ46が夫々接続されている。そして、バッファ45からクロック信号CLK1を導出し、バッファ46からクロック信号CLK1よりも位相の進んだクロック信号CLK2を導出している。この場合、図8の場合とは異なり、バッファ46の接続する位置によってクロック信号CLK1とクロック信号CLK2との位相差を任意に設定することができるのである。すなわち、バッファ46の代わりに、同図中に破線で示されているバッファ47を接続してクロック信号CLK2を導出すれば、バッファ46から導出した場合よりも位相の進んだクロック信号CLK2を導出することができるのである。

【0054】以上のように、PLLのプルインレンジを拡大するための周波数比較器をデジタル回路で構成す

ることにより、広いプルインレンジ及び高速動作可能なPLL回路を構成できるのである。そして、かかる構成により、2.4Gb/sのNRZ入力信号に対して安定に動作するPLL回路を実現できる。また、位相比較器だけではプルインレンジが狭くなる幹線系用のPLL回路に上述した周波数比較器を適用することでVCOの可変周波数範囲で同期することができ、温度変動及び素子ばらつきに対して耐力を持ったPLL回路を構成することができた。さらに、図4の周波数比較器を用いることにより、図2の周波数比較器を用いた場合に比べて同期速度が2倍以上に改善できるPLL回路を実現できる。

【0055】

【発明の効果】以上説明したように本発明は、PLLのプルインレンジを拡大するための周波数比較器をデジタル回路で構成することにより、広いプルインレンジ及び高速動作可能なPLL回路を構成できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態によるPLL回路の構成を示すブロック図である。

【図2】図1中における周波数比較器の第1の構成例を示す回路図である。

【図3】(a)は図2の周波数比較器におけるクロック信号の周波数が入力データのビットレートよりも高い場合の主要信号の波形を示す図、(b)は図2の周波数比較器におけるクロック信号の周波数が入力データのビットレートよりも低い場合の主要信号の波形を示す図である。

【図4】図1中の周波数比較器の第2の構成例を示す回路図である。

【図5】図2中のサンプルホールド回路の第1の構成例を示す回路図である。

【図6】図2中のサンプルホールド回路の第2の構成例を示す回路図である。

【図7】図1中のフィルタの構成例を示す回路図である。

【図8】図1中のVCOの構成例を示す回路図である。

【図9】図1中のVCOの他の構成例を示す回路図である。

【図10】従来のPLL回路の構成を示す図である。

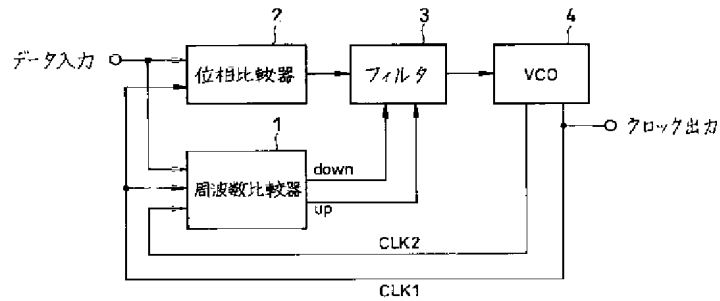
【符号の説明】

- 1 周波数比較器
- 2 位相比較器
- 3, 50, 51 フィルタ
- 4 VCO
- 10 サイクルスリップ検出回路
- 11 updown信号発生回路
- 12, 13, 15 サンプルホールド回路
- 16, 17, 20, 21, 22 AND回路
- 18, 19, 23, 24, 40 DFF

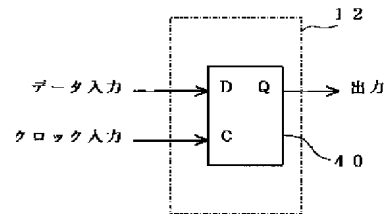
41~44 差動インバータ  
45~47 バッファ  
14 EXOR回路

30, 31 ラッチ回路  
32 セレクタ  
52 加算器

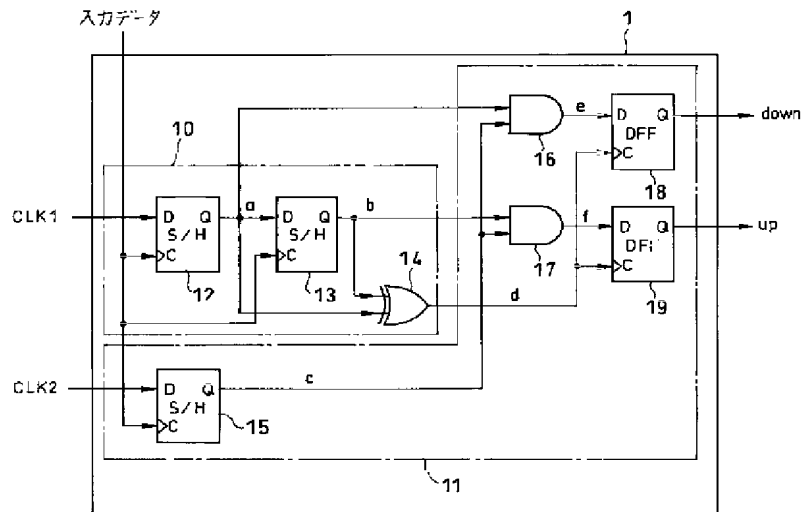
【図1】



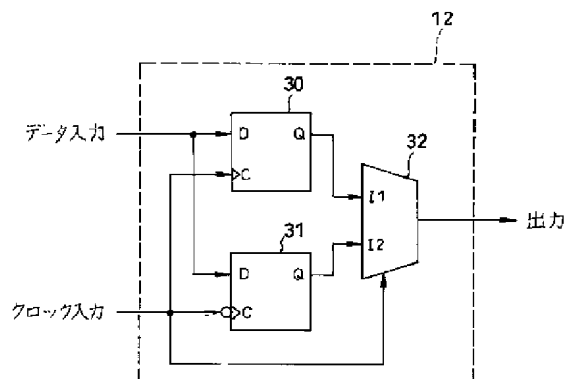
【図6】



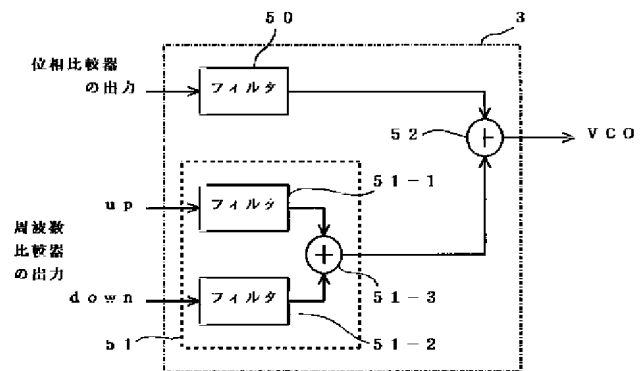
【図2】



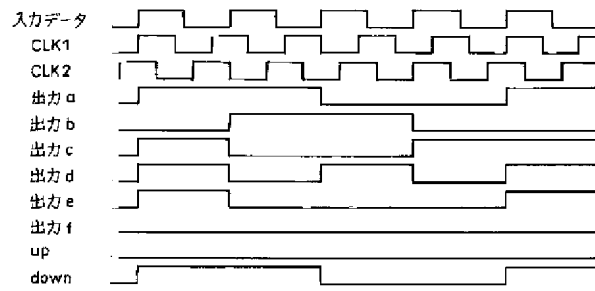
【図5】



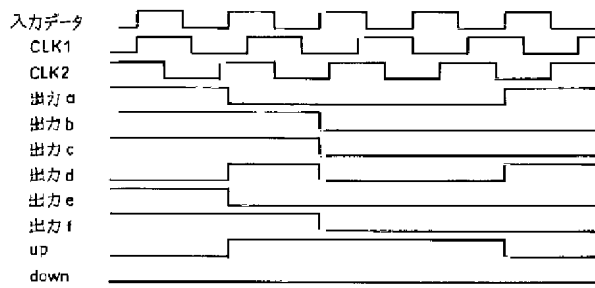
【図7】



【図3】

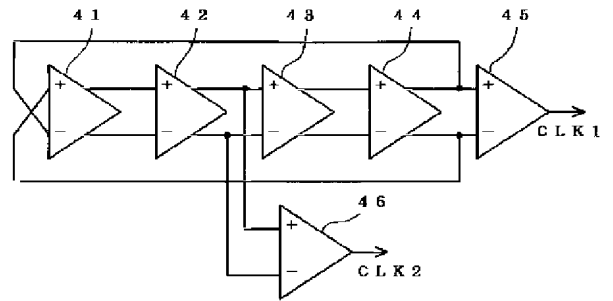


(a)

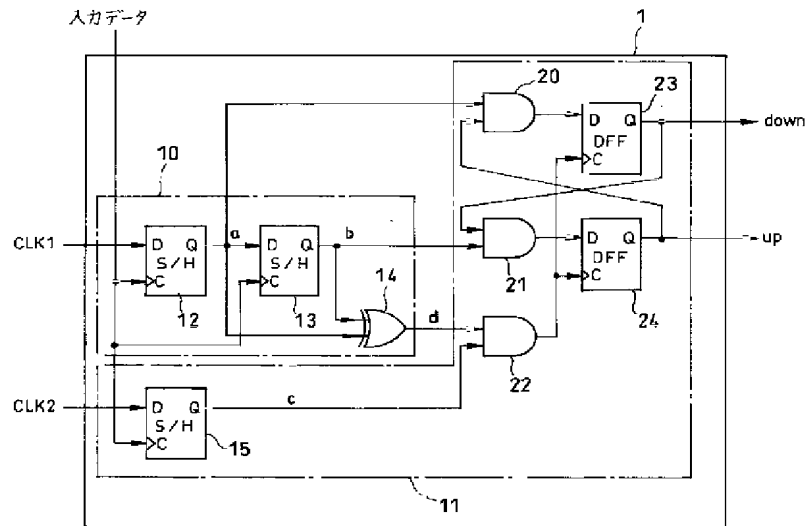


(b)

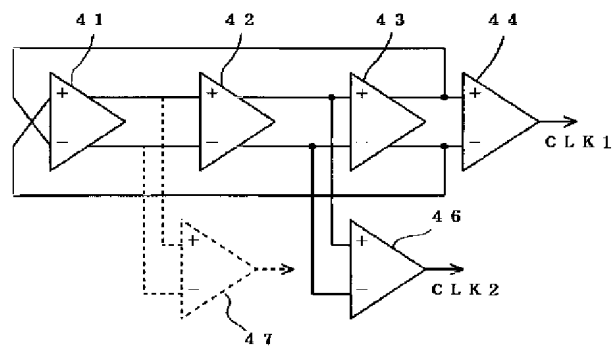
【図8】



【図4】



【図9】



【図10】

